

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2001-326305
(P2001-326305A)

(43)公開日 平成13年11月22日(2001.11.22)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
H 0 1 L 23/32		H 0 1 L 23/32	D
23/12		23/12	B

審査請求 未請求 請求項の数 8 O L (全 7 頁)

(21)出願番号 特願2000-140836(P2000-140836)

(22)出願日 平成12年5月12日(2000.5.12)

(71)出願人 000190688

新光電気工業株式会社

長野県長野市大字栗田字舎利田711番地

(72)発明者 真篠 直寛

長野県長野市大字栗田字舎利田711番地

新光電気工業株式会社内

(74)代理人 100077621

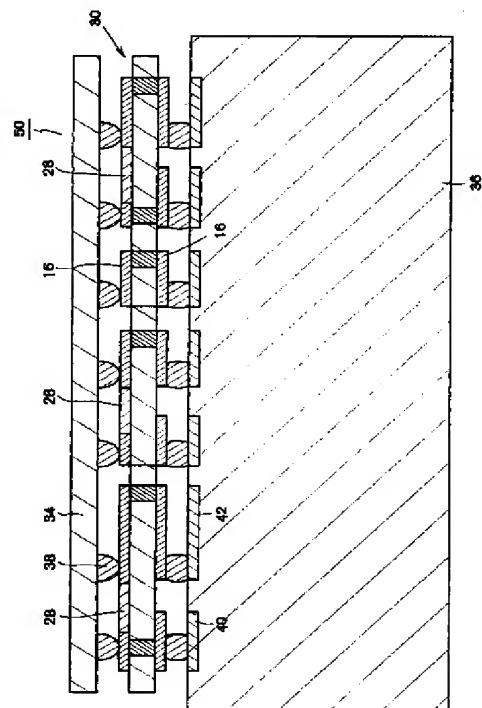
弁理士 綿貫 隆夫 (外1名)

(54)【発明の名称】 半導体装置用インターポージャー、その製造方法および半導体装置

(57)【要約】

【課題】 ノイズの吸収に優れ、小型化が可能で、製造コストの低減化も図れる半導体装置用インターポージャーを提供する。

【解決手段】 耐熱性を有する絶縁体10と、該絶縁体10に形成された複数のスルーホール12と、該スルーホール12のうち、所要数のスルーホール12内壁に形成された導体部14を通じて電氣的に接続される、絶縁体10の表裏面に形成された配線パターン16と、スルーホール12のうち、所要数のスルーホール12内壁に形成された導体部14を通じて電氣的に接続される、絶縁体10の表裏面に形成された第1の電極部18と、該第1の電極部18上に形成された誘電体層20と、該誘電体層20上に形成された第2の電極部24とを有し、第1の電極部18、誘電体層20、第2の電極部24とからなるキャパシタ28が所要数形成されていることを特徴としている。



【特許請求の範囲】

【請求項1】 実装基板と、該実装基板に搭載される半導体チップとの間に介挿されるインターポーザーであって、

耐熱性を有する絶縁体と、

該絶縁体に形成された複数個のスルーホールと、

該スルーホールのうち、所要数のスルーホールの内壁に形成された導体部を通じて電氣的に接続される、前記絶縁体の表裏面に形成された配線パターンと、

前記スルーホールのうち、所要数のスルーホールの内壁

に形成された導体部を通じて電氣的に接続される、前記絶縁体の表裏面に形成された第1の電極部と、

該第1の電極部上に形成された誘電体層と、

該誘電体層上に形成された第2の電極部とを有し、

前記第1の電極部、誘電体層および第2の電極部からなる所要数のキャパシタが形成されていることを特徴とする半導体装置用インターポーザー。

【請求項2】 前記キャパシタが、前記配線パターン間に位置して形成されていることを特徴とする請求項1記載の半導体装置用インターポーザー。

【請求項3】 前記配線パターンおよび前記第2の電極部上に、実装基板接続用のバンプが形成されていることを特徴とする請求項1または2記載の半導体装置用インターポーザー。

【請求項4】 前記絶縁体が、シリコンからなることを特徴とする請求項1、2または3記載の半導体装置用インターポーザー。

【請求項5】 前記絶縁体が、ガラスからなることを特徴とする請求項1、2または3記載の半導体装置用インターポーザー。

【請求項6】 前記誘電体層および前記第2の電極部が、前記絶縁体の表裏面に形成された第1の電極部上にこの順に形成されていることを特徴とする請求項1、2、3、4または5記載の半導体装置用インターポーザー。

【請求項7】 絶縁体に所要の配置で複数個のスルーホールを形成する工程と、

該スルーホールの内壁および前記絶縁体の表裏面上に第1の導体層を形成する工程と、

該第1の導体層をパターンニングして、前記絶縁体の表裏面に、前記スルーホールのうち、所要数のスルーホールの内壁に形成された導体部を通じて電氣的に接続される配線パターンと、前記スルーホールのうち、所要数のスルーホールの内壁に形成された導体部を通じて電氣的に接続される第1の電極部とを形成するパターンニング工程と、

前記配線パターンおよび前記第1の電極部を覆って、前記絶縁体の表面に誘電体層を形成する工程と、

該誘電体層をパターンニングして、前記第1の電極部上に誘電体層を形成するパターンニング工程と、

該誘電体層を覆って、前記絶縁体の表面に第2の導体層を形成する工程と、

該第2の導体層をパターンニングして、前記誘電体層上に第2の電極部を形成するパターンニング工程とを具備することを特徴とする半導体装置用インターポーザーの製造方法。

【請求項8】 実装基板上に、請求項1、2、3、4、5、6または7記載のインターポーザーが所定位置に所要の電氣的導通をとって実装され、該インターポーザー上に半導体チップが所要の電氣的導通をとって搭載されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置用インターポーザー、その製造方法および半導体装置に関する。

【0002】

【従来の技術】半導体チップを搭載する多層回路基板では、ノイズの吸収をするためキャパシタを取り付けている。従来はこのキャパシタは、チップキャパシタを多層回路基板の外部に取り付けることにより対処している。

【0003】

【発明が解決しようとする課題】しかるに、上記のように、チップキャパシタを多層回路基板の外部に取り付けたのでは、半導体チップとチップキャパシタの距離が大きくなり、ノイズの吸収が十分でなく、デカップリングキャパシタとしての性能が落ちてしまったり、複数のチップキャパシタを搭載する搭載工程が増え、製造コストが高くなるという課題がある。また、チップキャパシタを含めた装置全体が大型化するという課題もある。

【0004】そこで本発明は上記課題を解決すべくされたものであり、その目的とするところは、ノイズの吸収に優れ、小型化が可能で、製造コストの低減化も図れる半導体装置用インターポーザー、その製造方法、およびこのインターポーザーを用いた半導体装置を提供するにある。

【0005】

【課題を解決するための手段】本発明は上記目的を達成するため次の構成を備える。すなわち、実装基板と、該実装基板に搭載される半導体チップとの間に介挿されるインターポーザーであって、耐熱性を有する絶縁体と、該絶縁体に形成された複数個のスルーホールと、該スルーホールのうち、所要数のスルーホールの内壁に形成された導体部を通じて電氣的に接続される、前記絶縁体の表裏面に形成された配線パターンと、前記スルーホールのうち、所要数のスルーホールの内壁に形成された導体部を通じて電氣的に接続される、前記絶縁体の表裏面に形成された第1の電極部と、該第1の電極部上に形成された誘電体層と、該誘電体層上に形成された第2の電極部とを有し、前記第1の電極部、誘電体層および第2の電極部からなる所要数のキャパシタが形成されているこ

とを特徴としている。

【0006】上記のように、インターポーザに組み込まれたキャパシタが半導体チップの直下に位置して極めて近接していることからデカップリングキャパシタとして極めて性能よく機能する。また、複数のキャパシタが、インターポーザの作成時に同時に作り込まれるから製造コストの低減化も図れる。また、インターポーザ上に、配線パターンにより再配線するから、微細なパターンにすることが可能となる。したがって、このように再配線するから、多層基板となる実装基板側の層を1層減らすことも可能となる。

【0007】前記キャパシタは前記配線パターン間に位置して形成されることになる。このように、キャパシタは、配線パターン間の空いている領域を利用して数多く作れる利点がある。前記配線パターンおよび前記第2の電極部上に実装基板接続用のバンパを形成してインターポーザとすることもできる。前記絶縁体はシリコン、ガラスあるいは耐熱性を有するポリイミドなどを用いることができる。前記誘電体層および前記第2の電極部を、前記絶縁体の表裏面に形成された第1の電極部上にこの順に形成するようにすることによって、第1の電極部と第2の電極部との対向面積を大きくでき、高容量のキャパシタにすることができる。

【0008】また本発明に係るインターポーザの製造方法によれば、絶縁体に所要の配置で複数のスルーホールを形成する工程と、該スルーホールの内壁および前記絶縁体の表裏面上に第1の導体層を形成する工程と、該第1の導体層をパターンニングして、前記絶縁体の表裏面に、前記スルーホールのうち、所要数のスルーホールの内壁に形成された導体部を通じて電氣的に接続される配線パターンと、前記スルーホールのうち、所要数のスルーホール内壁に形成された導体部を通じて電氣的に接続される第1の電極部とを形成するパターンニング工程と、前記配線パターンおよび前記第1の電極部を覆って、前記絶縁体の表面に誘電体層を形成する工程と、該誘電体層をパターンニングして、前記第1の電極部上に誘電体層を形成するパターンニング工程と、該誘電体層を覆って、前記絶縁体の表面に第2の導体層を形成する工程と、該第2の導体層をパターンニングして、前記誘電体層上に第2の電極部を形成するパターンニング工程とを具備することを特徴とする。複数のキャパシタを同時に作り込むことができ、製造コストの低減化が図れる。

【0009】実装基板上に、上記インターポーザを所定位置に所要の電氣的導通をとって実装し、該インターポーザ上に半導体チップを所要の電氣的導通をとって搭載することによって半導体装置とすることができる。

【0010】

【発明の実施の形態】以下、本発明の好適な実施の形態を添付図面に基づいて詳細に説明する。インターポーザ

を製造工程と共に説明する。図1は絶縁体10を示す。この絶縁体10にYAGレーザーあるいはエキシマレーザー等により $\phi 30 \sim 300 \mu\text{m}$ 程度の大きさの複数のスルーホール12を所要パターンで形成する。

【0011】絶縁体10としては、後記するようにスパッタリング時に熱負荷がかかることから、耐熱性を有するものが用いられる。例えば、厚さ $50 \mu\text{m}$ 程度に薄化されるとともに、ポリッシングにより平滑化されたシリコン基板を好適に用いることができる。あるいは絶縁体10にガラスや耐熱性を有するポリイミド等の樹脂を用いることができる。ガラス基板の場合も、表面が平滑で好適である。絶縁体10にガラスを用いるときには、スルーホール12は、マスクを用いてエッチングにより孔明け加工するか、マスクを用いてサンドブラストにより孔明け加工するとよい。

【0011】次に、スパッタリング次いで電解めっきを行って、スルーホール12内壁を含む絶縁体10の表裏面に銅あるいはアルミニウム等の金属からなる第1の導体層（図示せず）を形成する。この第1の導体層を形成する際（特にスパッタリング膜を形成する際）、薄化され、鏡面にポリッシングされたシリコン基板を用いると、第1の導体層が、凹凸のない極めて均一な厚さに形成されて好適である。

【0012】次いでフォトリソグラフィ法により第1の導体層をパターンニングして、図2に示すように、絶縁体10の表裏面に、スルーホール12のうち、所要数のスルーホール12内壁に形成された導体部14を通じて電氣的に接続される配線パターン16と、スルーホール12のうち、所要数のスルーホール12内壁に形成された導体部14を通じて電氣的に接続される第1の電極部18とを形成する。

【0013】次に、配線パターン16および第1の電極部18を覆って絶縁体10の表面に誘電体層を形成する。次いで該誘電体層をパターンニングして、第1の電極部18上に誘電体層20を残す。誘電体層16には、例えばSTO（ストロンチウムチタンオキサイド）や、PZT（鉛ジルコニウムチタン）等の強誘電体を用いることにより、高容量のキャパシタに形成できる。

【0014】誘電体層20の厚さは薄い程キャパシタの容量を高容量のものにすることができる。下地となる、前記第1の導体層をパターンニングした第1の電極部18が前記のように凹凸のない平滑面に形成されていることから、薄い誘電体層20であってもピンホール等のない薄い良好な膜に形成できる。また、図3に示すように、誘電体層を隣接する配線パターン16間をつなげるように残すことで、該誘電体層を抵抗線22として用いることもできる。

【0015】次に、誘電体層20を覆って絶縁体10の表面にスパッタリングおよび電解めっきにより第2の導体層（図示せず）を形成する。次いで図4に示すよう

に、第2の導電層をフォトリソグラフィ法によりパターンニングして、誘電体層20上に第2の電極部24を形成する。次にスパッタリング等によって、配線パターン16上、第1の電極部18、第2の電極部24の必要個所に、金パッド26を形成する。このようにしてインターポザー30に形成される。なお、金パッド26は必ずしも設けなくともよい。インターポザー30には、第1の電極部18、誘電体層20、第2の電極部24とからなるキャパシタ28が所要数形成される。また、このインターポザー30の実装基板側の金パッド26にはんだバンプ32を形成してインターポザー30とすることもある。

【0016】図5は、半導体チップ34をインターポザー30を介して実装基板36（半導体装置用パッケージを含む）に実装した半導体装置50を模式的に示したものである。38は半導体チップ34側に設けた接続用のパッドである。40は電源ライン、42はグランドラインである。上記のように、本実施の形態では、インターポザー30に組み込まれたキャパシタ28が半導体チップ34の直下に位置して極めて近接していることからデカップリングキャパシタとして極めて性能よく機能する。また、複数のキャパシタ28が抵抗22とともに、インターポザー30の作成時に同時に作り込まれるから製造コストの低減化も図れる。

【0017】キャパシタ28が必要ない場合には、半導体チップ34を直接実装基板36に実装すればよい。上記のように、インターポザー30上に、配線パターン16により再配線するから、微細なパターンにすることが可能となる。したがって、このように再配線するから、多層基板となる実装基板36側の層を1層減らすことも可能となる。キャパシタ28は、配線パターン16間の空いている領域を利用して数多く作れる利点がある。

【0018】上記実施の形態では、キャパシタ28が、搭載される半導体チップ34の側の面のインターポザー30に作り込まれた例を示したが、図6に示すように、実装基板36側の面のインターポザー30に作り込むこともできる。上記と同一の部材は同一の符号で示す。製造工程も上記と同様に行える。

【0019】また図7はさらに他の実施の形態を示す。上記と同一の部材は同一の符号で示す。本実施の形態では、絶縁体10の表裏の第1の電極部18上にそれぞれ誘電体層20、20を形成し、この両誘電体層20、20上にそれぞれ第2の電極部24、24を形成し、この両第2の電極部24、24をスルーホール12aの内壁に形成された導電部14aで接続している。絶縁体10の表裏の第1の電極部18はスルーホール12bの内壁に形成された導電部14bで接続されている。

【0020】この実施の形態では、キャパシタ28の両電極部18、24の対向面積が大きくなり、それだけ高

容量のキャパシタ28が形成され、より電気的特性に優れるものとなる。製造工程は、絶縁体10の表裏に誘電体層および第2の導電層を形成すればよいものであり、上記製造工程と同様に行える。

【0021】また図8は、絶縁体10の表裏の第1の電極部18を接続する導電部14上、すなわち、スルーホール12の内部にも、第1の電極18を覆うようにして誘電体層20を形成し、さらにこの誘電体層20全体を覆うようにして第2の電極部24を形成したものである。この実施の形態でも第1の電極18と第2の電極24の対向面積が大きくなり、それだけ高容量のキャパシタ28を形成できる。また、スルーホール内にキャパシタを形成するため、インターポザーの表面にキャパシタを形成しなくとも済む。よって、インターポザーの配線密度の向上と、それによる小型化が可能となる。なお、上記と同一の部材は同一の符号を付した。

【0022】以上、本発明の好適な実施の形態を示したが、本発明はこれに限定されないことはもちろんである。

【0023】

【発明の効果】以上のように、本発明によれば、インターポザーに組み込まれたキャパシタが半導体チップの直下に位置して極めて近接していることからデカップリングキャパシタとして極めて性能よく機能する。また、複数のキャパシタが、インターポザーの作成時に同時に作り込まれるから製造コストの低減化も図れる。

【図面の簡単な説明】

【図1】図1～図4はインターポザーの製造工程の一例を示し、図1は絶縁体にスルーホールを形成した状態を示し、

【図2】図2は配線パターンと第1の電極部を形成した状態を示し、

【図3】図3は誘電体層を形成した状態を示し、

【図4】図4は第2の電極膜を形成した状態を示す。

【図5】半導体装置の模式図である。

【図6】インターポザーの他の実施の形態を示す。

【図7】インターポザーのさらに他の実施の形態を示す。

【図8】インターポザーの他の実施の形態を示す説明図である。

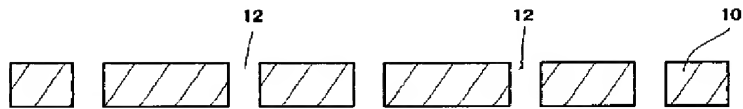
【符号の説明】

- 10 絶縁体
- 12 スルーホール
- 14 導電部
- 16 配線パターン
- 18 第1の電極部
- 20 誘電体層
- 22 抵抗
- 24 第2の電極部
- 26 金パッド

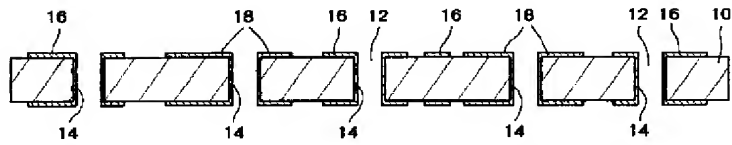
28 キャパシタ
30 インターポーザー
32 バンプ
34 半導体チップ
36 実装基板

38 パッド
40 電源ライン
42 グランドライン
50 半導体装置

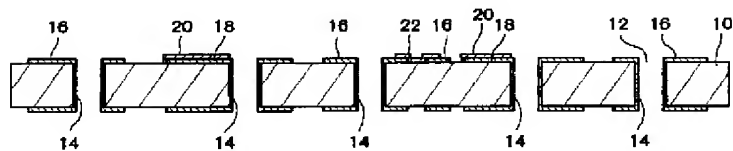
【図1】



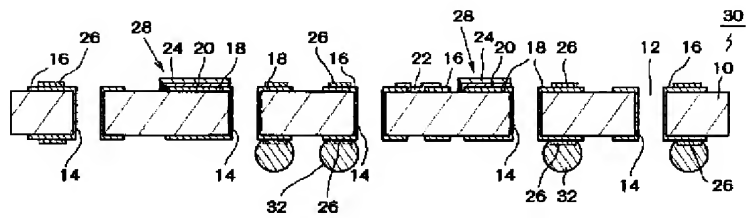
【図2】



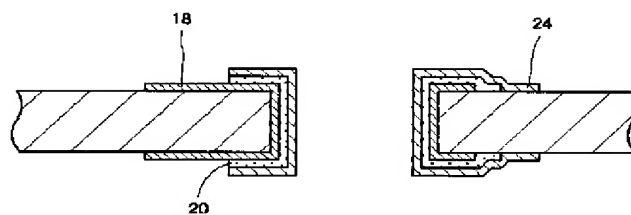
【図3】



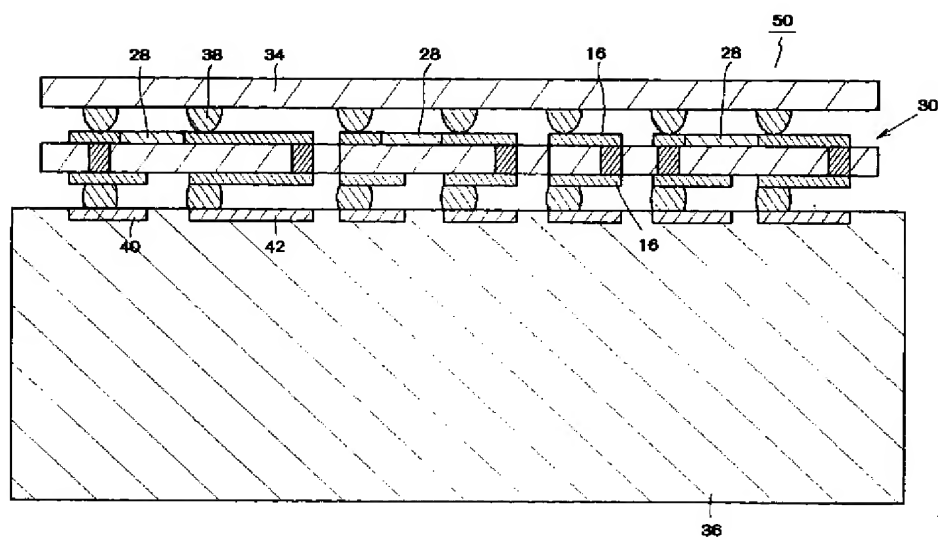
【図4】



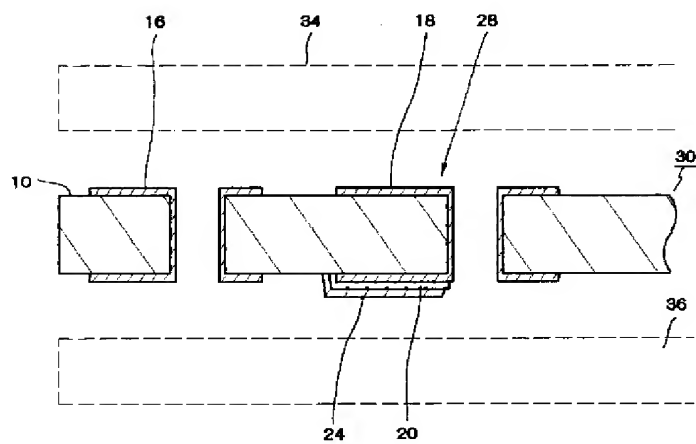
【図8】



【図5】



【図6】



【図7】

